

特開平4-254363

(43)公開日 平成4年(1992)9月9日

(51)Int.Cl.⁵
H 0 1 L 23/50識別記号 序内整理番号
K 8418-4M

F 1

技術表示箇所

(21)出願番号

特願平3-15362

(22)出願日

平成3年(1991)2月6日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 田中 政樹

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所武藏工場内

(72)発明者 森内 久裕

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体設計開発センタ内

(74)代理人 井理士 简井 大和

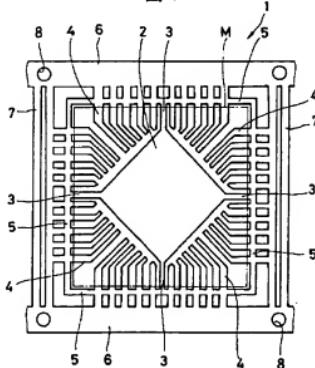
(54)【発明の名称】リードフレーム及びそれを用いた半導体集積回路装置

(57)【要約】

【目的】リフロー・クラック耐性の高い表面実装形LSIパッケージを提供する。

【構成】本発明のリードフレーム1は、半導体チップ1を搭載するタブ2のコーナー部にタブ吊りリード3を設け、タブ2の各辺とそれに対向するタイバー5とのなす角をほぼ45度にしたものである。

図1

1:リードフレーム 3:タブ吊りリード
2:タブ 5:タイバー

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 半導体チップを搭載するタブのコーナー部にタブ吊りリードを設けた表面実装形LSIパッケージ用のリードフレームであって、前記タブの各辺とそれに対向するタイバーとのなす角をほぼ45度にしたことと特徴とするリードフレーム。

【請求項2】 四本のタブ吊りリードを有することと特徴とする請求項1記載のリードフレーム。

【請求項3】 請求項1または2記載のリードフレームを用いた表面実装形LSIパッケージを有することと特徴とする半導体集積回路装置。

【請求項4】 表面実装形LSIパッケージは、QFPであることを特徴とする請求項3記載の半導体集積回路装置。

【請求項5】 パッケージ本体内に封止されたタブ吊りリードの長さは、5mmまたはそれ以下であることを特徴とする請求項3または4記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、リードフレーム及びそれを用いた半導体集積回路装置に關し、特に表面実装形LSIパッケージのリフロー・クラック耐性の向上に適用して有効な技術に関するものである。

【0002】

【従来の技術】 従来、QFP(Quad Flat Package)などの表面実装形LSIパッケージは、図4に示すように、合成樹脂からなるパッケージ本体10内に封止した矩形のタブ(ダイパッド)ともいいう)2の周囲に多数のリード4を配置し、これらのリード4とタブ2上の半導体チップ1とをワイヤ12で接続した構造となっている。上記タブ2は、リード4と同じ42アローなどの導電材からなり、リードフレームの状態では、その四隅に設けたタブ吊りリード3によってリードフレームに支えられている。

【0003】 上記のような表面実装形LSIパッケージは、リフロー半田付け時におけるパッケージ・クラックの発生をいかに抑えるかが大きな課題となっている。パッケージ・クラックとは、パッケージが吸湿している場合、リフロー半田付け時の熱に起因する剪断応力によってタブと樹脂との界面などが剥離し、この剥離部が水蒸気圧によって拡大して樹脂が割れる現象であり、これがチップの上面で発生すると、ワイヤの切断などの深刻な不良を引き起す。

【0004】 1985年1月1日付の「表面実装形LSIパッケージ用リードフレーム」(特開平4-254363)によれば、リード4は、パッケージ本体の内部に封止される樹脂と外部に露出する樹脂との境界部となるモールドライン(M)の内側をインナーリード部、外側をアウターリード部とそれぞれ称しており、アウターリード部のピッチは、例えば0.5mm程度である。

パッケージ内の水蒸気を外部に逃がす構造になっている。

【0005】

【発明が解決しようとする課題】 しかしながら、パッケージ本体の下面に貫通孔を設けた前記従来技術は、この貫通孔を通じてパッケージ内に水分が侵入し易いため、パッケージの耐湿寿命が低下する虞れがある。

【0006】 また、パッケージ本体に貫通孔を設けるために特殊なモールド金型を必要とするため、パッケージコストの上昇を招くという問題がある。さらに、モールド後に金型からパッケージ本体を取り外す際、貫通孔の近傍にストレスが加わるため、リフロー半田付け時に貫通孔の近傍でパッケージ・クラックが発生し易くなる虞れもある。

【0007】 本発明は、上記した問題点に着目してなされたものであり、その目的は、表面実装形LSIパッケージのパッケージ・クラック耐性を向上させることのできる技術を提供することにある。

【0008】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】 本発明の表面実装形LSIパッケージ用リードフレームは、コーナー部にタブ吊りリードを設けたタブの各辺とそれに対向するタイバーとのなす角をほぼ45度にしたものである。

【0010】

【作用】 上記した手段によれば、タブの各辺とそれに対向するタイバーとのなす角を従来の0度(平行)からほぼ45度とすることにより、コーナー部に設けたタブ吊りリードの長さを最短にすることができる。これにより、リフロー半田付け時にパッケージ内で発生した高圧の水蒸気が上記タブ吊りリードと樹脂との界面を通じて外部に抜け易くなるため、パッケージ・クラックの発生率が低減される。

【0011】

【実施例】 図1に示す本実施例のリードフレーム1は、例えば表面実装形LSIパッケージの一例であるQFPの組立てに用いるものである。このリードフレーム1の中央部には、半導体チップを搭載する矩形のタブ(ダイパッド)2が配置されており、このタブ2のコーナー部には、タブ2を支える四本のタブ吊りリード3が設けられている。

【0012】 上記タブ2の外側には、複数本のリード4がタブ2を囲むように設けられている。リード4は、パッケージ本体の内部に封止される樹脂と外部に露出する樹脂との境界部となるモールドライン(M)の内側をインナーリード部、外側をアウターリード部とそれぞれ称しており、アウターリード部のピッチは、例えば0.5mm程度である。

【0013】 リード4の中途部には、リード4の支持と

モールド時における樹脂の溢出防止とを兼ねた枠状のタイマー（ダム）5が設けられている。本実施例のリードフレーム1は、前記タブ2の各辺とそれに対向するタイマー5とのなす角がほぼ45度になっている。

【0014】リードフレーム1の最外周部は、外枠6および内枠7からなる。上記外枠6には、リードフレーム1をモールド金型の所定箇所に位置決めする際のガイドとなるガイド孔8が設けられている。リードフレーム1を構成する上記タブ2、タブ吊りリード3、リード4、タイマー5、外枠6および内枠7は、例えば42アローイ、銅などの導電材料からなるフープ材をプレス加工またはエッチングにより一体成形したもので、フープ材の板厚は、150～250μm程度である。リードフレーム1は上記した各部によって構成される単位フレームを一方に向かって複数個連続した構成になっている。

【0015】図2は、上記リードフレーム1を用いて組立てられたQFP9の概略平面図である。

【0016】エポキシ系樹脂などの合成樹脂からなるパッケージ本体10内に封止された前記タブ2の上には、例えば論理LSI1を形成したシリコン単晶からなる半導体チップ11が搭載されており、この半導体チップ11とリード4とは、AuまたはCuからなるワイヤ12を介して電気的に接続されている。

【0017】上記QFP9を組立てたには、常法に従つてリードフレーム1のタブ2上に半導体チップ11を接着し、次いで上記半導体チップ11のボンディングパッドとリード4との間にワイヤ12をボンディングした後、このリードフレーム1をモールド金型に装着してパッケージ本体10を形成する。統いて、リードフレーム1の不要箇所、すなわちパッケージ本体10の外部に露出したタブ吊りリード3の一部やタイマー5、外枠6および内枠7をプレスで切断除去した後、リード4のアウターリード部を形成する。

【0018】上記QFP9によれば、タブ2の各辺とそれに対向するタイマー5とのなす角をほぼ45度としたことにより、タブ2の各コーナー部に設けたタブ吊りリード3の長さを最短にすることができる。これにより、リフロー半田付け時にパッケージ内で発生した高圧の水蒸気が上記タブ吊りリード3と樹脂との界面を通じて外部に抜け易くなるので、パッケージ・クラックの発生率を低減することができる。この場合、パッケージ本体10内のタブ吊りリード3の長さを5mmまたはそれ以下とすることにより、パッケージ・クラックの発生率を著しく低減できることが本発明者の実験により明らかとなつた。

【0019】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲

で種々変更可能であることはいうまでもない。

【0020】前記実施例では、タブの四箇所のコーナー部にそれぞれ一本ずつのタブ吊りリードを設けたリードフレームに適用した場合について説明したが、例えば図3に示すように、タブ2の四箇所のコーナー部のうちの二箇所だけにタブ吊りリード3を設けたリードフレーム1に適用することもできる。

【0021】前記実施例では、QFP用のリードフレームに適用した場合について説明したが、タブおよびタブ吊りリードを有する表面実装形LSIパッケージ全般に適用することができる。

【0022】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0023】タブのコーナー部にタブ吊りリードを設けた表面実装形LSIパッケージ用リードフレームにおいて、タブの各辺とそれに対向するタイマーとのなす角をほぼ45度とすることにより、リフロー半田付け時にパッケージ内で発生した高圧の水蒸気が上記タブ吊りリード3と樹脂との界面を通じて外部に抜け易くなるので、表面実装形LSIパッケージのパッケージ・クラック耐性が向上する。

【図面の簡単な説明】

【図1】本発明の一実施例であるリードフレームの平面図である。

【図2】このリードフレームを用いたQFPの概略図である。

【図3】本発明の他の実施例であるQFPの概略図である。

【図4】従来のQFPの概略図である。

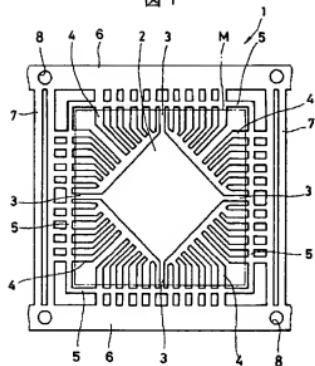
【図5】従来のQFPの断面図である。

【符号の説明】

- 1 リードフレーム
- 2 タブ
- 3 タブ吊りリード
- 4 リード
- 5 タイマー
- 6 外枠
- 7 内枠
- 8 ガイド孔
- 9 QFP
- 10 パッケージ本体
- 11 半導体チップ
- 12 ワイヤ
- 13 貫通孔
- M モールドライン

【図1】

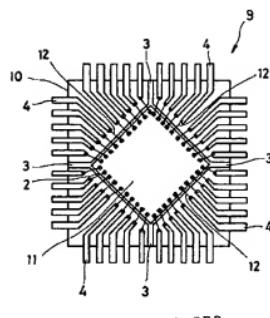
図1



1: リードフレーム 3: タップ取りリード
2: リード 4: タップ
5: タイバー

【図2】

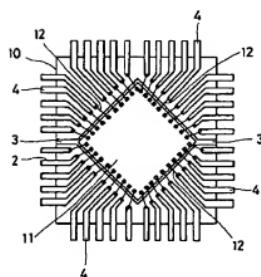
図2



9: QFP

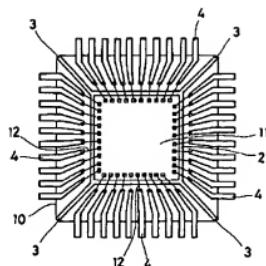
【図3】

図3



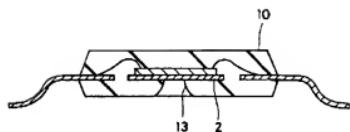
【図4】

図4



【図5】

図 5



BEST AVAILABLE COPY

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

04-254363

(43)Date of publication of application : 09.09.1992

(51)Int.Cl.

H01L 23/50

(21)Application number : 03-015362

(71)Applicant : HITACHI LTD

(22)Date of filing : 06.02.1991

(72)Inventor : TANAKA MASAKI
MORIUCHI HISAHIRO

(54) LEAD FRAME AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE UTILIZING THE SAME

(57)Abstract:

PURPOSE: To provide a surface mounting type LSI package having high resistance to reflow crack.

CONSTITUTION: A lead frame 1 provides a tab-hanging lead 3 at the corner of a tab 2 mounting a semiconductor chip 11 and an angle formed by each side of tap 2 and the tie bar 5 opposed thereto is set to 45 degrees.

